

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Jae-Hyun Park
Serial No.: To Be Assigned
Filed: Concurrently Herewith
For: MAGNETIC RANDOM ACCESS MEMORY (MRAM) CELLS HAVING SPLIT-SUB-DIGIT LINES

October 20, 2003

Mail Stop Patent Applications
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 U.S.C. § 119, enclosed is a certified copy of Korean priority Application No. 10-2003-0030353, filed May 13, 2003.

Respectfully submitted,



Mitchell S. Bigel
Registration No. 29,614

Myers Bigel Sibley & Sajovec
PO Box 37428
Raleigh NC 27627
Tel (919) 854-1400
Fax (919) 854-1401
Customer No. 20792

CERTIFICATE OF EXPRESS MAILING

Express Mail Label No. EV 353592728 US
Date of Deposit: October 20, 2003

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR § 1.10 on the date indicated above and is addressed to: Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450



Susan E. Freedman
Date of Signature: October 20, 2003

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2003-0030353
Application Number

출원년월일 : 2003년 05월 13일
Date of Application MAY 13, 2003

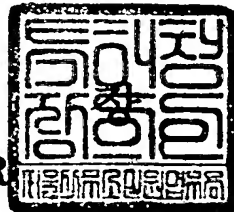
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 06 월 10 일

특 허 청

COMMISSIONER





【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.05.13
【발명의 명칭】	분할된 서브 디지털 라인들을 갖는 자기 램 셀들
【발명의 영문명칭】	Magnetic random access memory cells having split sub-digit lines
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박상수
【대리인코드】	9-1998-000642-5
【포괄위임등록번호】	2000-054081-9
【발명자】	
【성명의 국문표기】	박재현
【성명의 영문표기】	PARK, JAE HYUN
【주민등록번호】	750228-1559017
【우편번호】	449-901
【주소】	경기도 용인시 기흥읍 농서리 7-1번지 월계수동 1029호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박상수 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	17 면 17,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	21 항 781,000 원
【합계】	827,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

분할된 서브 디지털 라인들(split sub-digit lines)을 갖는 자기 램 셀들을 제공한다. 상기 자기 램 셀은 반도체기판 상부에 배치된 한 쌍의 서브 디지털라인들을 구비한다. 상기 한 쌍의 서브 디지털라인들은 평면도로부터 보여질 때 서로 이격되어 있다. 상기 한 쌍의 서브 디지털라인들 상에 하나의 자기 저항체가 배치된다. 상기 자기 저항체는 상기 한 쌍의 서브 디지털라인들과 중첩하도록 배치된다. 상기 자기 저항체는 상기 한 쌍의 서브 디지털라인들 사이의 갭 영역을 관통하는 자기 저항체 콘택홀을 통하여 상기 반도체기판의 소정영역에 전기적으로 접속된다.

【대표도】

도 4



【명세서】

【발명의 명칭】

분할된 서브 디지털 라인들을 갖는 자기 램 셀들{Magnetic random access memory cells having split sub-digit lines}

【도면의 간단한 설명】

도 1은 종래의 자기 램 셀을 보여주는 단면도이다.

도 2 및 도 3은 다른 종래의 자기 램 셀들을 보여주는 단면도들이다.

도 4는 본 발명의 일 실시예에 따른 한 쌍의 자기 램 셀들을 보여주는 평면도이다.

도 5는 본 발명의 다른 실시예에 따른 자기 램 셀을 보여주는 평면도이다.

도 6 내지 도 9는 본 발명의 실시예들에 따른 자기 램 셀의 제조방법을 설명하기 위한 단면도들이다.

도 10a는 도 1에 보여진 자기 램 셀의 특성을 시뮬레이션하는 데 사용된 구조를 도시한 단면도이다.

도 10b는 본 발명의 실시예들에 따른 자기 램 셀들의 특성을 시뮬레이션하는 데 사용된 구조를 도시한 단면도이다.

도 11은 도 10a 및 도 10b에 보여진 자기 램 셀들의 특성들의 시뮬레이션 결과들을 도시한 그래프이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<9> 본 발명은 자기 램 소자들에 관한 것으로, 특히 분할된 서브 디지털 라인들을 갖는 자기 램 셀들에 관한 것이다.

<10> 자기 램 소자들은 저전압 및 고속에서 동작될 수 있는 비휘발성 기억 소자들로서 널리 사용되고 있다. 상기 자기 램 소자들의 단위 셀에 있어서, 데이터는 자기 저항체(magnetic resistor)의 자기 터널 접합(magnetic tunnel junction; MTJ) 내에 저장된다. 상기 자기 터널 접합(MTJ)은 제1 및 제2 강자성층들(ferromagnetic layers) 및 그들 사이에 개재된 터널링 절연층(tunneling insulation layer)을 포함한다. 자유층(free layer)라고도 언급되는 상기 제1 강자성층의 자기 분극(magnetic polarization)은 상기 자기 터널 접합(MTJ)을 가로지르는 자계를 이용하여 변화시킬 수 있다. 상기 자계는 상기 자기 터널 접합의 주위를 지나는 전류에 의해 유기될 수 있고, 상기 자유층의 자기 분극은 고정층(pinned layer)이라고도 언급되는 상기 제2 강자성층의 자기 분극에 평행하거나 반평행(anti-parallel)할 수 있다. 상기 자계를 생성시키기 위한 전류는 상기 자기 터널 접합의 주위에 배치된 디지털 라인(digit line)이라고 불리는 도전층을 통하여 흐른다.

<11> 양자역학(quantum mechanics)에 기초한 스핀트로닉스(spintronics)에 따르면, 상기 자유층 및 고정층 내의 자기 스핀들이 서로 평행하도록 배열된 경우에, 상기 자기 터널 접합을 통하여 흐르는 터널링 전류는 최대값을 보인다. 이에 반하여, 상기 자유층 및 고

정층 내의 자기 스핀들이 서로 반평행하도록 배열된 경우에, 상기 자기 터널 접합을 통하여 흐르는 터널링 전류는 최소값을 보인다. 따라서, 상기 자기 램 셀의 데이터는 상기 자유층 내의 자기 스핀들의 방향에 따라 결정될 수 있다.

<12> 도 1은 종래의 자기 램 셀을 보여주는 단면도이다.

<13> 도 1을 참조하면, 반도체기판(1) 상에 제1 층간절연막(3)이 형성된다. 상기 제1 층간절연막(3) 상에 디지털 라인(5)이 배치된다. 상기 디지털 라인(5) 및 상기 제1 층간절연막(3)은 제2 층간절연막(7)으로 덮여진다. 상기 제2 층간절연막(7) 상에 상기 디지털 라인(5)의 소정영역과 중첩하도록 자기 저항체(16)가 배치된다. 상기 자기 저항체(16)는 차례로 적층된 하부 전극(11), 자기터널 접합(13) 및 상부 전극(15)을 포함한다. 상기 자기 저항체(16) 및 상기 제2 층간절연막(7)은 제3 층간절연막(17)으로 덮여진다. 상기 제3 층간절연막(17) 상에 상기 상부전극(15)에 전기적으로 접속된 비트라인(19)이 배치된다.

<14> 상기 하부전극(11)은 상기 반도체기판(1)의 소정영역에 전기적으로 접속되어야 한다. 따라서, 상기 하부전극(11)은 상기 디지털 라인(5)보다 넓은 폭을 갖도록 형성되어야 한다. 다시 말해서, 상기 하부전극(11)은 상기 디지털 라인(5)과 중첩되지 않는 연장부(A)를 갖도록 형성되어야 한다. 상기 연장부(A)는 상기 제1 및 제2 층간절연막들(3, 7)을 관통하는 하부전극 플러그(9)를 통하여 상기 반도체기판(1)의 소정영역에 전기적으로 접속된다.

<15> 결론적으로, 상기 하부전극(11)의 연장부(A)는 도 1에 보여진 종래의 자기 램 셀 사이즈의 축소(shrink)에 있어서 어려움을 초래한다.

- <16> 한편, 수직 자계(vertical magnetic field)를 이용하는 자기 램 셀이 일본공개특허 공보 제2002-176150호(Japanese laid-open patent number 2002-176150)에 개시된 바 있다. 상기 수직 자계를 이용하기 위해서는 상기 일본공개특허공보 제2002-176150호에 기재된 바와 같이 자기터널접합의 강자성층으로서 가돌리늄(gadolinium; Gd), 터븀(terbium; Tb) 또는 디스프로슘(dysprosium; Dy)과 같은 희토류 금속(rare earth metal)을 함유하는 합금막(metal alloy layer)이 채택되어야 한다.
- <17> 도 2 및 도 3은 상기 일본공개특허공보 제2002-176150호에 개시된 자기 램 셀들을 보여주는 단면도들이다.
- <18> 도 2를 참조하면, 반도체기판(21) 상에 하부 층간절연막(23)이 적층된다. 상기 하부 층간절연막(23) 상에 자기 저항체(30)가 배치된다. 상기 자기 저항체(30)는 차례로 적층된 하부전극(25), 자기 터널 접합(27) 및 상부전극(29)을 포함한다. 또한, 상기 자기 저항체(30)는 수직인 방향을 향하여 배열되는 자기 스핀들을 갖는 강자성층들을 포함한다. 상기 자기 저항체(30)의 양 단들의 상부에 각각 제1 및 제2 디지털 라인들(31a, 31b)이 배치된다. 상기 디지털 라인들(31a, 31b)의 상부를 가로지르도록 비트라인(35)이 배치된다. 상기 비트라인(35)은 상기 제1 및 제2 디지털 라인들(31a, 31b) 사이의 영역을 관통하는 비트라인 콘택 플러그(33)를 통하여 상부 상부전극(29)에 전기적으로 접속된다.
- <19> 상기 자기 저항체(30) 내의 강자성층들을 자화시키기 위해서는 수직 자계가 요구된다. 상기 수직 자계는 상기 디지털 라인들(31a, 31b)을 통하여 흐르는 전류에 의해 유지될 수 있다. 이 경우에, 상기 제1 디지털 라인(31a)을 통하여 흐르는 전류는 상기 제2 디지털 라인(31b)을 통하여 흐르는 전류에 반평행하여야 한다. 또한, 상기 자기 저항체

(30)의 자화효율(magnetization efficiency)을 향상시키기 위해서는 상기 디지털 라인들(31a, 31b) 및 상기 자기 저항체(30) 사이의 중첩 폭(overlap width; B)을 감소시켜야 한다. 이에 따라, 도 2에 보여진 자기 램 셀의 축소에 제약(limitation)이 따른다.

<20> 도 3을 참조하면, 반도체기판(41)의 상에 층간절연막(43)이 적층된다. 상기 층간절연막(43) 내에 한 쌍의 디지털 라인들(45a, 45b)이 배치된다. 상기 디지털 라인들(45a, 45b) 사이의 상기 층간절연막(43) 상에 자기 저항체(54)가 배치된다. 상기 자기 저항체(54)는 차례로 적층된 하부전극(49), 자기 터널 접합(51) 및 상부전극(53)을 포함한다. 상기 하부전극(49)은 상기 디지털 라인들(45a, 45b) 사이의 상기 층간절연막(43)을 관통하는 하부전극 콘택 플러그(47)를 통하여 상기 반도체기판(41)의 소정영역에 전기적으로 접속된다. 또한, 상기 상부전극(53)은 상기 자기 저항체(54)의 상부를 가로지르는 비트 라인(55)에 전기적으로 접속된다.

<21> 도 3에 보여진 자기 램 셀 역시 수직한 방향을 향하여 배열되는 자기 스핀들을 갖는 강자성층들을 채택한다. 이에 따라, 상기 자기 램 셀의 축소에 제약이 따른다.

【발명이 이루고자 하는 기술적 과제】

<22> 본 발명이 이루고자 하는 기술적 과제는 집적도를 증가시키는 데 적합한 자기 램 셀을 제공하는 데 있다.

【발명의 구성 및 작용】

<23> 상기 기술적 과제를 이루기 위하여 본 발명은 분할된 서브 디지털 라인들을 갖는 자기 램 셀을 제공한다. 상기 자기 램 셀은 반도체기판 상부에 배치된 제1 및 제2 서브 디지털라인들(first and second sub-digit lines) 및 상기 제1 및 제2 서브 디지털라인

들 상에 배치된 하나의 자기 저항체를 포함한다. 상기 제1 및 제2 서브 디지털라인들은 평면도로부터 보여질 때 서로 이격된다. 또한, 상기 자기 저항체는 상기 제1 및 제2 디지털라인들과 중첩하도록 배치된다. 상기 자기 저항체는 상기 제1 및 제2 서브 디지털라인들 사이의 갭 영역을 관통하는 자기 저항체 콘택홀을 통하여 상기 반도체기판의 소정 영역에 전기적으로 접속된다.

<24> 상기 제1 및 제2 서브 디지털라인들은 일 방향을 따라 연장되어 서로 평행할 수 있다. 이 경우에, 상기 제1 서브 디지털라인을 통하여 흐르는 전류는 항상 상기 제2 서브 디지털라인을 통하여 흐르는 전류와 평행하다.

<25> 이와는 달리, 상기 제1 및 제2 서브 디지털라인들은 일 방향을 따라 연장되고 인접한 셀들 사이의 영역에서 서로 접촉하여 하나의 통합된 디지털라인(a merged digit line)을 구성한다. 그 결과, 상기 통합된 디지털라인은 상기 자기 저항체의 중심부 하부에 개구부를 갖는다. 상기 자기 저항체는 상기 개구부를 관통하는 자기 저항체 콘택홀을 통하여 상기 반도체기판에 전기적으로 접속된다.

<26> 본 발명의 일 실시예에 따르면, 상기 자기 램 셀은 반도체기판의 소정영역에 형성된 액세스 모스트랜지스터를 구비한다. 상기 액세스 모스트랜지스터의 상부에 제1 및 제2 서브 디지털라인들이 배치된다. 상기 제1 및 제2 서브 디지털라인들은 평면도로부터 보여질 때 서로 평행하도록 배치된다. 상기 제1 및 제2 서브 디지털라인들 상부에 하나의 자기 저항체가 배치된다. 따라서, 상기 자기 저항체는 상기 제1 및 제2 서브 디지털라인들과 중첩된다. 또한, 상기 자기 저항체는 상기 제1 및 제2 서브 디지털라인들 사이의 갭 영역을 관통하는 자기 저항체 콘택홀을 통하여 상기 액세스 모스트랜지스터의 드레인 영역에 전기적으로 접속된다. 상기 자기 저항체의 상부에 비트라인이 배치된다.

상기 비트라인은 상기 자기 저항체의 상부면에 전기적으로 접속된다. 또한, 상기 비트라인은 상기 제1 및 제2 서브 디지털라인들의 상부를 가로질러 배치된다.

<27> 본 발명의 다른 실시예에 따르면, 상기 자기 램 셀은 반도체기판의 소정영역에 형성된 액세스 모스트랜지스터를 포함한다. 상기 액세스 모스트랜지스터의 상부에 하나의 통합된 디지털라인(a merged digit line)이 배치된다. 상기 통합된 디지털라인은 그 것의 소정영역을 관통하는 개구부를 갖는다. 따라서, 상기 개구부의 양 옆에 각각 부분적으로 분할된 제1 및 제2 서브 디지털라인들이 위치한다. 상기 개구부의 상부에 하나의 자기 저항체가 배치된다. 상기 자기 저항체는 상기 제1 및 제2 서브 디지털라인들과 중첩한다. 상기 자기 저항체는 상기 개구부의 중심을 관통하는 자기 저항체 콘택홀을 통하여 상기 액세스 모스트랜지스터의 드레인 영역에 전기적으로 접속된다. 상기 자기 저항체의 상부에 비트라인이 배치되고, 상기 비트라인은 상기 자기 저항체의 상부면에 전기적으로 접속된다. 또한, 상기 비트라인은 상기 통합된 디지털라인들의 상부를 가로지르도록 배치된다.

<28> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고

다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한, 층이 다른 층 또는 기판 "상"에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 또 다른 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

<29> 도 4는 본 발명의 제1 실시예에 따른 한 쌍의 자기 램 셀들을 보여주는 평면도이다.

<30> 도 4를 참조하면, 반도체기판(도시하지 않음)의 소정영역에 활성영역(103a)이 배치된다. 상기 활성영역(103a)을 가로질러 제1 및 제2 평행한 워드라인들(107a, 107b)이 배치된다. 이에 따라, 상기 활성영역(103a)에 직렬 연결된 제1 및 제2 액세스 모스트랜지스터들이 형성된다. 상기 제1 및 제2 워드라인들(107a, 107b) 사이의 상기 활성영역(103a)은 상기 제1 및 제2 액세스 모스트랜지스터들이 공유하는 공통 소오스 영역에 해당한다. 상기 제1 워드라인(107a)에 인접하고 상기 공통 소오스 영역의 반대편에 위치한 상기 활성영역(103a)은 상기 제1 액세스 모스트랜지스터의 드레인 영역에 해당하고, 상기 제2 워드라인(107b)에 인접하고 상기 공통 소오스 영역의 반대편에 위치한 상기 활성영역(103a)은 상기 제2 액세스 모스트랜지스터의 드레인 영역에 해당한다.

<31> 상기 공통 소오스 영역은 공통 소오스 라인 콘택홀(111s)에 의해 노출된다. 상기 공통 소오스 라인 콘택홀(111s)은 상기 활성영역(103a)의 상부를 가로지르는 공통 소오

스 라인(115s)으로 덮여진다. 결과적으로, 상기 공통 소오스 라인(115s)은 상기 공통 소오스 라인 콘택홀(111s)을 통하여 상기 공통 소오스 영역에 전기적으로 접속된다.

<32> 한편, 상기 제1 및 제2 액세스 모스트랜지스터들의 상부에 각각 제1 및 제2 디지털 라인들(119a, 119b)이 배치된다. 상기 제1 디지털라인(119a)은 한 쌍의 평행한 서브 디지털라인들(sub-digit lines; 119a', 119a'')을 포함한다. 이와 마찬가지로, 상기 제2 디지털라인(119b) 역시 한 쌍의 평행한 서브 디지털라인들(119b', 119b'')을 포함한다. 상기 서브 디지털라인들(119a', 119a'', 119b', 119b'')은 연장되어 상기 공통 소오스 라인(115s)에 평행하다. 상기 제1 서브 디지털라인(119a')을 통하여 흐르는 전류는 항상 제2 서브 디지털라인(119a'')을 통하여 흐르는 전류와 동일한 방향을 갖는다. 또한, 상기 제1 서브 디지털라인(119b')을 통하여 흐르는 전류는 항상 제2 서브 디지털라인(119b'')을 통하여 흐르는 전류와 동일한 방향을 갖는다. 예를 들면, 상기 제1 서브 디지털라인(119a')에 인가되는 전류가 양의 x축 방향(positive x-axis direction)을 향하여 흐른다면, 상기 제2 서브 디지털라인(119a'')에 인가되는 전류 역시 상기 양의 x축 방향을 향하여 흐른다. 이 경우에, 상기 제1 및 제2 서브 디지털라인들(119a', 119a'')의 상부면들 상에 유기되는 수평자계 성분들은(horizontal magnetic field elements)은 모두 음의 y축 방향(negative y-axis direction)을 향하여 분포된다.

<33> 상기 제1 및 제2 디지털라인들(119a, 119b) 상부에 각각 제1 및 제2 자기 저항체들(136a, 136b)이 배치된다. 결과적으로, 상기 제1 및 제2 자기 저항체들(136a, 136b)은 각각 상기 제1 및 제2 디지털라인들(119a, 119b)에 중첩되도록 배치된다. 상기 제1 및 제2 자기 저항체들(138a, 136b)의 각각은 차례로 적층된 하부전극, 자기 터널 접합(MTJ) 및 상부전극을 포함한다. 상기 자기 터널 접합(MTJ)은 차례로 적층된 피닝층(a pinning

layer), 고정층(a pinned layer), 터널링층(a tunneling layer) 및 자유층(a free layer)을 포함한다. 상기 고정층 및 자유층은 일본공개특허공보 제2002-176150호에 기재된 희토류 금속과는 다른 일반적인 강자성체층이다. 다시 말해서, 본 발명에 따른 자기 램 셀은 수평방향(horizontal direction)을 향하여 배열되는 자기 스핀들을 갖는 강자성체층을 채택한다. 이는, 본 발명에 따른 자기 램 셀이 수평자계를 이용하기 때문이다.

<34> 상기 제1 자기 저항체(136a)는 상기 제1 디지털라인(119a)을 구성하는 상기 제1 및 제2 서브 디지털라인들(119a', 119a'') 사이의 갭 영역을 관통하는 제1 자기저항체 콘택홀(127a)을 통하여 상기 제1 액세스 모스트랜지스터의 드레인 영역에 전기적으로 접속된다. 이와 마찬가지로, 상기 제2 자기 저항체(136b)는 상기 제2 디지털라인(119b)을 구성하는 상기 제1 및 제2 서브 디지털라인들(119b', 119b'') 사이의 갭 영역을 관통하는 제2 자기저항체 콘택홀(127b)을 통하여 상기 제2 액세스 모스트랜지스터의 드레인 영역에 전기적으로 접속된다.

<35> 상기 자기 저항체들(136a, 136b)의 각각은 도 4에 도시된 바와 같이 평면도로부터 보여질 때 길이(L_M) 및 상기 길이(L_M)보다 작은 폭(W_M)을 가질 수 있다. 바람직하게는, 상기 자기 저항체들(136a, 136b)은 도 4에 보여진 바와 같이 상기 제1 및 제2 디지털라인들(119a, 119b)을 가로지르도록 배치된다. 이 경우에, 상기 x축 상에 배열된 셀들 사이의 간격을 감소시킬 수 있고, 상기 서브 디지털라인들(119a', 119a'', 119b', 119b'')을 패터닝하기 위한 공정 여유도(process margin)를 증가시킬 수 있다. 결과적으로, 복잡한 제조공정의 사용 없이 콤팩트한 자기 램 셀을 구현할 수 있다.

<36> 상기 제1 및 제2 자기 저항체들(136a, 136b)의 상부에 비트라인(141)이 배치된다. 상기 비트라인(141)은 상기 디지털 라인들(119a, 119b)의 상부를 가로지르도록 배치된다

. 상기 비트라인(141)은 제1 및 제2 비트라인 콘택홀들(137a, 137b)을 통하여 상기 제1 및 제2 자기 저항체들(136a, 136b)에 전기적으로 접속된다.

<37> 도 5는 본 발명의 제2 실시예에 따른 자기 램 셀을 보여주는 평면도이다. 본 실시예는 디지털 라인의 형태(configuration)에 있어서 도 4에 보여진 제1 실시예와 다르다.

<38> 도 5를 참조하면, 반도체기판(도시하지 않음)에 제1 실시예와 동일한 구조를 갖는 제1 액세스 MOST랜지스터가 배치된다. 상기 제1 액세스 MOST랜지스터 상부에 제1 통합된 디지털 라인(a merged digit line; 119c)이 배치된다. 상기 제1 통합된 디지털 라인(119c)은 그것의 소정영역을 관통하는 개구부(H)를 갖는다. 상기 개구부(H)는 상기 제1 액세스 MOST랜지스터의 상부에 위치한다. 결과적으로, 상기 제1 통합된 디지털 라인(119c)은 상기 개구부(H)의 양 옆에 배치된 한 쌍의 서브 디지털라인들을 포함한다. 그러나, 상기 한 쌍의 서브 디지털라인들은 상술한 제1 실시예와는 달리 도 5에 보여진 바와 같이 x축 상에서 인접한 셀들 사이의 영역에서 서로 접촉한다.

<39> 상기 개구부(H)는 길이(L_H) 및 상기 길이보다 작은 폭(W_H)을 가질 수 있다. 이 경우에, 상기 개구부(H)는 상기 통합된 디지털라인(119c)에 평행한 것이 바람직하다. 상기 통합된 디지털 라인(119c) 상부에 도 4에 보여진 상기 제1 자기 저항체(136a)가 배치된다. 상기 개구부(H)는 제1 자기 저항체(136a)로 덮여진다. 상기 제1 자기 저항체(136a)는 제1 실시예에서 설명된 바와 같이 길이(L_M) 및 폭(W_M)을 가질 수 있다. 이 경우에, 상기 제1 자기 저항체(136a)는 도 5에 도시된 바와 같이 상기 통합된 디지털라인(119c)의 상부를 가로지르도록 배치되는 것이 바람직하다. 또한, 상기 제1 자기 저항체(136a)의 폭(W_M)은 상기 개구부(H)의 길이(L_H)보다 작은 것이 바람직하다. 이는, 상기 개구부

(H)의 양 단들에 인접한 상기 통합된 디지털 라인(119c)을 흐르는 전류에 의해 유기되는 자계(상기 y축에 비평행한 자계)의 영향을 배제시키기 위함이다.

<40> 상기 제1 자기 저항체(136a)는 상기 개구부(H)의 중심을 관통하는 제1 자기 저항체 콘택홀(127a)을 통하여 상기 제1 액세스 모스트랜지스터의 드레인 영역에 전기적으로 접속된다.

<41> 한편, 본 발명은 도 4 및 도 5에 보여진 실시예들로부터 변형(modification)될 수 있다. 예를 들면, 상기 제1 디지털 라인(119a 또는 119c)은 상기 제1 자기 저항체(136a)의 상부에 배치될 수도 있다. 이 경우에, 상기 비트라인(141)은 상기 제1 디지털 라인(119a)을 구성하는 상기 한 쌍의 서브 디지털라인들(도 4의 119a' 및 119a'') 사이의 갭 영역 또는 상기 제1 디지털 라인(119c)의 개구부(H)를 관통하는 비트라인 콘택홀을 통하여 상기 제1 자기 저항체(136a)에 전기적으로 접속된다.

<42> 이제, 도 6 내지 도 9를 참조하여 본 발명의 실시예에 따른 자기 램 셀들의 제조방법을 설명하기로 한다.

<43> 도 6 내지 도 9는 도 4의 절단선 I-I에 따라 취해진 단면도들이다.

<44> 도 4 및 도 6을 참조하면, 반도체기판(101)의 소정영역에 소자분리막(103)을 형성하여 활성영역(103a)를 한정한다. 상기 활성영역(103a) 상에 게이트 절연막(105)을 형성한다. 상기 게이트 절연막(105)을 갖는 반도체기판의 전면 상에 게이트 도전막을 형성한다. 상기 게이트 도전막을 패터닝하여 상기 활성영역(103a)을 가로지르는 한 쌍의 평행한 게이트 전극들, 즉 제1 및 제2 워드라인들(107a, 107b)을 형성한다.

<45> 계속해서, 상기 활성영역(103a)에 통상의 이온주입 기술을 사용하여 소오스/드레인 영역들을 형성한다. 그 결과, 상기 제1 및 제2 워드라인들(107a, 107b) 사이의 상기 활성영역(103a)에 공통 소오스 영역(109s)이 형성된다. 또한, 상기 제1 워드라인(107a)에 인접하고 상기 공통 소오스 영역(109s)의 반대편에 위치한 상기 활성영역(103a)에 제1 드레인 영역(109d')이 형성되고, 상기 제2 워드라인(107b)에 인접하고 상기 공통 소오스 영역(109s)의 반대편에 위치한 상기 활성영역(103a)에 제2 드레인 영역(109d'')이 형성된다. 상기 제1 워드라인(107a), 제1 드레인 영역(109d') 및 공통 소오스 영역(109s)은 제1 액세스 모스트랜지스터를 구성한다. 이와 마찬가지로, 상기 제2 워드라인(107b), 제2 드레인 영역(109d'') 및 공통 소오스 영역(109s)은 제2 액세스 모스트랜지스터를 구성한다.

<46> 상기 제1 및 제2 액세스 모스트랜지스터들을 갖는 반도체기판의 전면 상에 제1 층간절연막(111)을 형성한다.

<47> 도 4 및 도 7을 참조하면, 상기 제1 층간절연막(111) 및 상기 게이트 절연막(105)을 패터닝하여 상기 제1 및 제2 드레인 패드 콘택홀들(111d', 111d'')과 아울러서 공통 소오스라인 콘택홀(111s)을 형성한다. 상기 제1 및 제2 드레인 패드 콘택홀들(111d', 111d'')은 각각 상기 제1 및 제2 드레인 영역들(109d', 109d'')을 노출시키도록 형성된다. 또한, 상기 공통 소오스라인 콘택홀(111s)은 상기 공통 소오스 영역(109s)을 노출시키도록 형성된다. 상기 제1 드레인 패드 콘택홀(111d'), 제2 드레인 패드 콘택홀(111d'') 및 공통 소오스라인 콘택홀(111s) 내에 각각 통상의 방법을 사용하여 제1 드레인 패드 콘택플러그(113d'), 제2 드레인 패드 콘택플러그(113d'') 및 공통 소오스라인 콘택플러그(113s)를 형성한다.

<48> 상기 콘택 플러그들(113s, 113d', 113d'')을 갖는 반도체기판의 전면 상에 도전막을 형성한다. 상기 도전막을 패터닝하여 제1 및 제2 드레인 패드들(115d', 115d'')과 아울러서 공통 소오스라인(115s)을 형성한다. 상기 제1 및 제2 드레인 패드들(115d', 115d'')은 각각 상기 제1 및 제2 드레인 패드 콘택플러그들(113d', 113d'')을 덮도록 형성되고, 상기 공통 소오스라인(115s)은 상기 공통 소오스라인 콘택플러그(113s)를 덮도록 형성된다. 상기 공통 소오스라인(115s)은 상기 활성영역(103a)의 상부를 가로지르도록 형성된다. 상기 제1 및 제2 드레인 패드들(115d', 115d'')과 아울러서 상기 공통 소오스라인(115s)을 포함하는 반도체기판의 전면 상에 제2 층간절연막(117)을 형성한다.

<49> 도 4 및 도 8을 참조하면, 상기 제2 층간절연막(117) 상에 도전막을 형성하고, 상기 도전막을 패터닝하여 상기 제1 및 제2 액세스 모스트랜지스터들의 상부를 각각 가로지르는 제1 및 제2 디지털라인들(119a, 119b)을 형성한다. 상기 제1 및 제2 디지털라인들(119a, 119b)의 각각은 도 4 및 도 8에 도시된 바와 같이 한 쌍의 평행한 서브 디지털라인들을 갖도록 형성된다. 구체적으로, 상기 제1 디지털라인(119a)은 제1 및 제2 평행한 서브 디지털라인들(119a', 119a'')을 갖도록 형성되고, 상기 제2 디지털라인(119b)은 제1 및 제2 평행한 서브 디지털라인들(119b', 119b'')을 갖도록 형성된다. 상기 서브 디지털라인들(119a, 119a'', 119b', 119b'')은 상기 워드라인들(107a, 107b)에 평행하도록 형성된다.

<50> 이에 더하여, 상기 제1 및 제2 디지털라인들(119a, 119b) 상에 캐핑막 패턴들(121)이 적층될 수도 있다. 이 경우에, 상기 캐핑막 패턴들(121)은 통상의 층간절연막으로 사용되는 실리콘 산화막에 대하여 식각 선택비를 갖는 절연막으로 형성하는 것이 바람직하다. 예를 들면, 상기 캐핑막 패턴(121)은 실리콘 질화막 또는 실리콘 산질화막(SiON)으

로 형성할 수 있다. 상기 디지털라인들(119a, 119b) 및 그 위의 상기 캐핑막 패턴들(121)은 디지털라인 패턴들을 구성한다. 상기 디지털라인 패턴들의 측벽들 상에 통상의 방법을 사용하여 스페이서들(123)을 형성하는 것이 바람직하다. 상기 스페이서들(123) 역시 통상의 층간절연막으로 사용되는 실리콘 산화막에 대하여 식각 선택비를 갖는 절연막으로 형성하는 것이 바람직하다. 즉, 상기 스페이서들(123)은 실리콘 질화막 또는 실리콘 산질화막(SiON)으로 형성할 수 있다. 상기 캐핑막 패턴들(121)을 형성하는 공정을 생략하는 경우에, 상기 스페이서들(123)은 상기 디지털라인들(119a, 119b), 즉 상기 서브 디지털라인들(119a', 119a'', 119b', 119b'')의 측벽들 상에 형성된다.

<51> 상기 디지털라인 패턴들 및 스페이서들(123)을 갖는 반도체기판의 전면 상에 제3 층간절연막(125)을 형성한다. 상기 제3 층간절연막(125) 및 제2 층간절연막(117)을 연속적으로 패터닝하여 상기 제1 드레인 패드(115d')를 노출시키는 제1 자기저항체 콘택홀(127a) 및 상기 제2 드레인 패드(115d'')를 노출시키는 제2 자기저항체 콘택홀(127b)을 형성한다. 상기 제1 자기저항체 콘택홀(127a)은 상기 제1 디지털라인(119a)을 구성하는 상기 서브 디지털라인들(119a', 119a'') 사이의 갭 영역을 관통하도록 형성된다. 이와 마찬가지로, 상기 제2 자기저항체 콘택홀(127b)은 상기 제2 디지털라인(119b)을 구성하는 상기 서브 디지털라인들(119b', 119b'') 사이의 갭 영역을 관통하도록 형성된다. 상기 자기저항체 콘택홀들(127a, 127b)을 형성하는 동안, 상기 캐핑막 패턴들(121) 및 스페이서들(123)은 식각저지막 역할을 한다. 결과적으로, 상기 자기저항체 콘택홀들(127a, 127b)은 자기정렬 콘택 기술(self-alignd contact technique)을 사용하여 형성된다.

<52> 도 4 및 도 9를 참조하면, 상기 제1 및 제2 자기저항체 콘택홀들(127a, 127b) 내에 각각 통상의 방법을 사용하여 제1 및 제2 자기저항체 콘택 플러그들(129a, 129b)을 형성

한다. 상기 자기저항체 콘택 플러그들(129a, 129b)을 갖는 반도체기판의 전면 상에 하부 전극막, 자기터널 접합막(a magnetic tunnel junction layer) 및 상부전극막을 차례로 형성한다. 상기 자기터널 접합막은 피닝막(a pinning layer), 고정막(a pinned layer), 터널링 절연막(a tunneling insulation layer) 및 자유막(a free layer)을 차례로 적층 시키어 형성한다. 상기 고정막 및 자유막은 CoFe막 또는 NiFe막과 같은 강자성체막으로 형성하고, 상기 피닝막은 PtMn막, IrMn막 또는 FeMn막과 같은 반강자성체막(anti-ferromagnetic layer)으로 형성한다. 또한, 상기 터널링 절연막은 알루미늄 산화막(Al_2O_3), 하프늄 산화막(HfO), 탄탈륨 산화막(TaO)과 같은 절연막으로 형성할 수 있다.

<53> 상기 자기터널 접합막은 평탄한(flat) 것이 바람직하다. 그러나, 상기 자기터널 접합막의 평탄도(flatness)는 상기 하부전극막의 표면 프로파일(surface profile)에 직접적으로 영향을 받는다. 따라서, 상기 자기터널 접합막을 형성하기 전에 상기 하부전극막을 화학기계적 연마 공정을 사용하여 평탄화시키는 것이 바람직하다.

<54> 상기 상부전극막, 자기터널 접합막 및 하부전극막을 패터닝하여 상기 제1 및 제2 자기저항체 콘택 플러그들(129a, 129b)을 각각 덮는 제1 및 제2 자기저항체들(136a, 136b)을 형성한다. 그 결과, 상기 제1 자기저항체(136a)는 차례로 적층된 제1 하부전극(131a), 제1 자기터널접합(133a) 및 제1 상부전극(135a)을 포함하고, 상기 제2 자기저항체(136b)는 차례로 적층된 제2 하부전극(131b), 제2 자기터널접합(133b) 및 제2 상부전극(135b)을 포함한다. 상기 제1 하부전극(131a)은 상기 제1 자기저항체 콘택홀(127a) 내의 상기 제1 자기저항체 콘택 플러그(129a)를 통하여 상기 제1 드레인 영역(109d')에 전기적으로 접속되고, 상기 제2 하부전극(131b)은 상기 제2 자기저항체 콘택홀(127b) 내의

상기 제2 자기저항체 콘택 플러그(129b)를 통하여 상기 제2 드레인 영역(109d")에 전기적으로 접속된다. 상기 제1 자기저항체(136a)는 상기 제1 디지털라인(119a), 즉 상기 제1 및 제2 서브 디지털라인들(119a', 119a")과 중첩하도록 형성되고, 상기 제2 자기저항체(136b)는 상기 제2 디지털라인(119b), 즉 상기 제1 및 제2 서브 디지털라인들(119b', 119b")과 중첩하도록 형성된다. 상기 제1 및 제2 자기 저항체들(136a, 136b)의 각각은 도 4에 도시된 바와 같이 평면도로부터 보여질 때 길이(L_M) 및 상기 길이보다 작은 폭(W_M)을 가질 수 있다. 이 경우에, 상기 자기 저항체들(136a, 136b)은 상기 디지털라인들(119a, 119b)을 가로지르도록 형성되는 것이 바람직하다.

<55> 상기 제1 및 제2 자기저항체들(136a, 136b)을 포함하는 반도체기판의 전면 상에 제4 층간절연막(137)을 형성한다. 상기 제4 층간절연막(137)을 패터닝하여 상기 제1 및 제2 상부전극들(135a, 135b)을 각각 노출시키는 제1 및 제2 비트라인 콘택홀들(137a, 137b)을 형성한다. 상기 제4 층간절연막(137) 상에 비트라인(141)을 형성한다. 상기 비트라인(141)은 상기 제1 및 제2 비트라인 콘택홀들(137a, 137b)을 덮도록 형성된다. 이에 따라, 상기 비트라인(141)은 상기 제1 비트라인 콘택홀(137a)을 통하여 상기 제1 상부전극(135a)에 전기적으로 접속된다. 또한, 상기 비트라인(141)은 상기 제2 비트라인 콘택홀(137b)을 통하여 상기 제2 상부전극(135b)에 전기적으로 접속된다. 상기 비트라인(141)을 형성하기 전에, 상기 제1 및 제2 비트라인 콘택홀들(137a, 137b) 내에 각각 제1 및 제2 비트라인 콘택 플러그들(139a, 139b)을 형성할 수 있다.

<56> 도 5에 보여진 자기 램 셀 역시 도 6 내지 도 9에서 설명된 실시예와 동일한 방법을 사용하여 제조될 수 있음은 당업자에게 자명하다.

- <57> 도 10a는 종래의 자기 램 셀에 있어서 디지털라인을 통하여 흐르는 전류에 의해 유기되는 자계를 계산하는 데 사용된 구조를 보여주는 단면도이다.
- <58> 도 10a를 참조하면, 상기 디지털라인(5)은 폭(5W) 및 두께(5T)를 가졌고, 상기 디지털 라인(5)의 상부에 상기 자기터널 접합(MTJ; 13)이 배치되었다. 상기 자기터널 접합(13)은 길이(13L)를 가졌고 상기 디지털라인(5)을 가로지르도록 배치되었다. 특히, 상기 자기터널 접합(13)의 중심점(13c)은 상기 디지털라인(5)의 중심점(5a)을 지나는 수직축(CA) 상에 위치하였다. 상기 자기터널 접합(13)은 상기 디지털라인(5)의 상부면으로부터 간격(7D)만큼 이격되었다. 상기 디지털 라인(5) 및 상기 자기터널 접합(13) 사이의 영역은 실리콘 산화물로 이루어진 층간절연막(7)으로 채워졌다. 결과적으로, 상기 간격(7D)는 상기 디지털라인(5) 및 상기 자기터널 접합(13) 사이에 개재된 상기 층간절연막(7)의 두께와 동일하였다.
- <59> 도 10b는 본 발명에 따른 자기 램 셀에 있어서 한 쌍의 서브 디지털라인들(sub-digit lines)을 통하여 흐르는 전류에 의해 유기되는 자계를 계산하는 데 사용된 구조를 보여주는 단면도이다.
- <60> 도 10b를 참조하면, 상기 한 쌍의 서브 디지털라인들, 즉 제1 및 제2 서브 디지털라인들(119', 119'')은 각각 제1 및 제2 폭들(119W', 119W'')을 가졌다. 또한, 상기 서브 디지털라인들(119', 119'')은 두께(119T)를 가졌다. 상기 서브 디지털라인들(119', 119'')은 간격(119S)만큼 서로 이격되었다. 상기 서브 디지털라인들(119', 119'')은 실리콘 산화물로 이루어진 층간절연막(125)으로 덮여졌다. 상기 층간절연막(125) 상에 상기 서브 디지털라인들(119', 119'')과 중첩하도록 자기터널 접합(133)이 배치되었다. 특히, 상기 자기터널 접합(133)의 중심점(133c)은 상기 서브 디지털라인들(119', 119'') 사이의 겹

영역의 중심점을 지나는 수직축(CA) 상에 위치하였다. 상기 자기터널 접합(133)은 길이(133L)을 가졌고 상기 서브 디지털라인들(119W', 119W'')을 가로지르도록 배치되었다. 상기 서브 디지털라인들(119', 119'') 및 상기 자기터널 접합(133) 사이에 개재된 상기 층간절연막(125)은 두께(125D)를 가졌다. 결과적으로, 상기 자기터널 접합(133)은 상기 서브 디지털라인들(119', 119'')의 상부면들로부터 상기 두께(125D)만큼 이격되었다.

<61> 도 11은 도 10a 및 도 10b에 보여진 디지털 라인들을 통하여 흐르는 전류에 의해 유기되는 자계의 계산결과들을 도시한 그래프이다. 이 그래프에서, 가로축은 상기 디지털 라인들에 가해진 전류를 나타내고, 세로축은 상기 자기저항체들의 여러 지점들(various positions)에서의 자계 값을 나타낸다. 본 발명에 있어서, 상기 전류는 제1 서브 디지털라인(119')에 가해지는 제1 전류 및 제2 서브 디지털라인(119'')에 가해지는 제2 전류의 합이다. 상기 제1 전류 및 제2 전류는 동일한 방향을 향하여 흐르도록 가해진다. 여기서, "●"에 의해 표시된 데이터들은 도 10a에 보여진 자기터널 접합(13)의 하부면의 중심점에서의 자계에 해당하고, "▼"에 의해 표시된 데이터들은 도 10a에 보여진 자기터널 접합(13)의 하부면의 가장자리에서의 자계에 해당한다. 또한, "■"에 의해 표시된 데이터들은 도 10b에 보여진 자기터널 접합(133)의 하부면의 중심점(C)에서의 자계에 해당하고, "▲"에 의해 표시된 데이터들은 도 10b에 보여진 자기터널 접합(133)의 하부면의 가장자리(E)에서의 자계에 해당한다. 본 그래프에 보여진 데이터들은 도 10a 및 도 10b에 도시된 상기 층간절연막들(7, 125)을 3.9의 유전상수를 갖는 실리콘 산화막으로 간주하여 계산되었다. 이 경우에, 도 10a 및 도 10b에 보여진 각 구성요소들(elements)의 크기들(dimensions)은 다음의 [표 1]에 기재되었다.

<62> 【표 1】

종래기술	자기저항체의 길이(13L)	5000 Å
	중간절연막의 두께(7D)	1500 Å
	디지털라인의 두께(5T)	3000 Å
	디지털라인의 폭(5W)	7000 Å
본 발명	자기저항체의 길이(133L)	5000 Å
	중간절연막의 두께(125D)	1500 Å
	서브 디지털라인들의 두께(119T)	3000 Å
	제1 서브 디지털라인의 폭(119W')	2500 Å
	제2 서브 디지털라인의 폭(119W'')	2500 Å
	서브 디지털라인들 사이의 간격(119S)	2000 Å

<63> 도 11에 보여진 바와 같이, 본 발명에 따른 자기 램 셀의 자기터널 접합에서의 자계는 위치에 관계없이 균일하였다. 이에 반하여, 종래의 자기 램 셀의 자기터널 접합에서의 자계는 위치들에 따라 불균일하였다.

【발명의 효과】

<64> 상술한 바와 같이 본 발명에 따르면, 균일한 자계와 함께 콤팩트한 자기 램 셀을 구현할 수 있다. 이에 따라, 자기 램 소자의 집적도를 증가시킬 수 있다.

【특허청구범위】**【청구항 1】**

반도체기판 상부에 배치되고 평면도로부터 보여질 때 서로 이격된 제1 및 제2 서브 디지털라인들(first and second sub-digit lines); 및

상기 제1 및 제2 서브 디지털라인들 상에 배치되고 상기 제1 및 제2 서브 디지털라인들과 중첩된 하나의 자기 저항체를 포함하되, 상기 자기 저항체는 상기 제1 및 제2 서브 디지털라인들 사이의 갭 영역을 관통하는 자기 저항체 콘택홀을 통하여 상기 반도체 기판의 소정영역에 전기적으로 접속되는 것을 특징으로 하는 자기 램 셀.

【청구항 2】

제 1 항에 있어서,

상기 자기 저항체는 평면도로부터 보여질 때 길이 및 상기 길이보다 작은 폭을 갖고, 상기 자기 저항체는 상기 자기 저항체의 길이방향(length direction)이 상기 제1 및 제2 서브 디지털라인들을 가로지르도록 배치되는 특징으로 하는 자기 램 셀.

【청구항 3】

제 1 항에 있어서,

상기 제1 및 제2 서브 디지털라인들은 일 방향(a single direction)을 따라 연장되어 서로 평행한 것을 특징으로 하는 자기 램 셀.

【청구항 4】

제 3 항에 있어서,

상기 제1 서브 디지털라인을 통하여 흐르는 전류의 방향은 항상 상기 제2 서브 디지털라인을 통하여 흐르는 전류의 방향과 동일한 것을 특징으로 하는 자기 램 셀.

【청구항 5】

제 1 항에 있어서,

상기 제1 및 제2 서브 디지털라인들은 일 방향을 따라 연장되고 인접한 셀들 사이의 영역에서 서로 접촉하여 상기 자기 저항체의 중심부 하부에 개구부를 갖는 하나의 통합된 디지털라인(a merged digit line)을 구성하되, 상기 자기 저항체는 상기 개구부를 관통하는 자기 저항체 콘택홀을 통하여 상기 반도체기판에 전기적으로 접속되는 것을 특징으로 하는 자기 램 셀.

【청구항 6】

제 5 항에 있어서,

상기 자기 저항체는 평면도로부터 보여질 때 길이 및 상기 길이보다 작은 폭을 갖고, 상기 자기 저항체는 상기 자기 저항체의 길이방향(length direction)이 상기 제1 및 제2 서브 디지털라인들을 가로지르도록 배치되는 특징으로 하는 자기 램 셀.

【청구항 7】

제 6 항에 있어서,

상기 자기 저항체의 폭은 상기 통합된 디지털라인에 평행한 상기 개구부의 길이보다 작은 것을 특징으로 하는 자기 램 셀.

【청구항 8】

제 1 항에 있어서,

상기 자기 저항체의 상부에 배치되고 상기 자기 저항체의 상부면에 전기적으로 접속된 비트라인을 더 포함하되, 상기 비트라인은 상기 서브 디지털 라인들의 상부를 가로지르도록 배치된 것을 특징으로 자기 램 셀.

【청구항 9】

제 1 항에 있어서,

상기 자기 저항체는 차례로 적층된 피닝층, 고정층, 터널링층 및 자유층을 갖는 자기터널 접합을 포함하되, 상기 고정층 및 상기 자유층은 수평방향을 향하여 배열되는 자기 스핀들을 갖는 강자성체층인 것을 특징으로 하는 자기 램 셀.

【청구항 10】

반도체기판의 소정영역에 형성된 액세스 모스트랜지스터;

상기 액세스 모스트랜지스터의 상부에 배치된 제1 및 제2 평행한 서브 디지털라인들;

상기 제1 및 제2 서브 디지털라인들 상부에 배치되어 상기 제1 및 제2 서브 디지털라인들과 중첩하되, 상기 제1 및 제2 서브 디지털 라인들 사이의 갭 영역을 관통하는 자기 저항체 콘택홀을 통하여 상기 액세스 모스 트랜지스터의 드레인 영역에 전기적으로 접속된 하나의 자기 저항체; 및

상기 자기 저항체의 상부에 배치되고 상기 자기 저항체의 상부면에 전기적으로 접속된 비트라인을 포함하되, 상기 비트라인은 상기 제1 및 제2 서브 디지털라인들의 상부를 가로지르는 것을 특징으로 하는 자기 램 셀.

【청구항 11】

제 10 항에 있어서,

상기 액세스 모스트랜지스터의 소오스 영역에 전기적으로 접속된 공통 소오스 라인을 더 포함하되, 상기 공통 소오스 라인은 상기 서브 디지털 라인들에 평행하도록 배치되는 것을 특징으로 하는 자기 램 셀.

【청구항 12】

제 10 항에 있어서,

상기 제1 서브 디지털라인을 통하여 흐르는 전류의 방향은 항상 상기 제2 서브 디지털라인을 통하여 흐르는 전류의 방향과 동일한 것을 특징으로 하는 자기 램 셀.

【청구항 13】

제 10 항에 있어서,

상기 서브 디지털라인들의 측벽들 및 상부면들을 각각 덮는 스페이서들 및 캐핑막들을 더 포함하되, 상기 스페이서들 및 상기 캐핑막들은 상기 자기 저항체 콘택홀을 형성하는 동안 식각저지막 역할을 하는 것을 특징으로 하는 자기 램 셀.

【청구항 14】

제 10 항에 있어서,

상기 자기 저항체는 평면적으로 보여질 때 길이 및 상기 길이보다 작은 폭을 갖고, 상기 자기 저항체는 상기 자기 저항체의 길이방향(length direction)이 상기 제1 및 제2 서브 디지털라인들을 가로지르도록 배치되는 특징으로 하는 자기 램 셀.

【청구항 15】

제 10 항에 있어서,

상기 자기 저항체는 차례로 적층된 피닝층, 고정층, 터널링층 및 자유층을 갖는 자기터널 접합을 포함하되, 상기 고정층 및 상기 자유층은 수평방향을 향하여 배열되는 자기 스핀들을 갖는 강자성체층인 것을 특징으로 하는 자기 램 셀.

【청구항 16】

반도체기판의 소정영역에 형성된 액세스 모스트랜지스터;

상기 액세스 모스트랜지스터의 상부에 배치되되, 그 것의 소정영역을 관통하는 개구부를 갖는 하나의 통합된 디지털라인(a merged digit line);

상기 개구부의 상부에 배치되고 상기 통합된 디지털라인과 중첩되되, 상기 개구부의 중심을 관통하는 자기 저항체 콘택홀을 통하여 상기 액세스 모스 트랜지스터의 드레인 영역에 전기적으로 접속된 하나의 자기 저항체; 및

상기 자기 저항체의 상부에 배치되고 상기 자기 저항체의 상부면에 전기적으로 접속된 비트라인을 포함하되, 상기 비트라인은 상기 통합된 디지털라인들의 상부를 가로지르는 것을 특징으로 하는 자기 램 셀.

【청구항 17】

제 16 항에 있어서,

상기 액세스 모스트랜지스터의 소오스 영역에 전기적으로 접속된 공통 소오스 라인을 더 포함하되, 상기 공통 소오스 라인은 상기 서브 디지털 라인들에 평행하도록 배치되는 것을 특징으로 하는 자기 램 셀.

【청구항 18】

제 16 항에 있어서,

적어도 상기 개구부의 측벽 및 상기 통합된 디지털라인의 상부면을 각각 덮는 스페이서들 및 캐핑막들을 더 포함하되, 상기 스페이서들 및 상기 캐핑막들은 상기 자기 저항체 콘택홀을 형성하는 동안 식각저지막 역할을 하는 것을 특징으로 하는 자기 램 셀.

【청구항 19】

제 16 항에 있어서,

상기 자기 저항체는 평면도로부터 보여질 때 길이 및 상기 길이보다 작은 폭을 갖고, 상기 자기 저항체는 상기 자기 저항체의 길이방향(length direction)이 상기 통합된 디지털라인을 가로지르도록 배치되는 특징으로 하는 자기 램 셀.

【청구항 20】

제 19 항에 있어서,

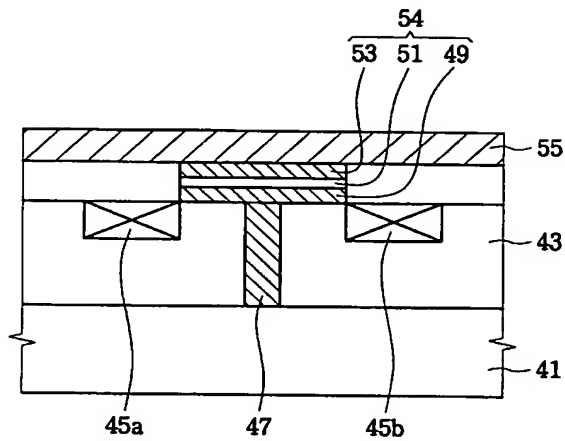
상기 자기 저항체의 폭은 상기 통합된 디지털라인에 평행한 상기 개구부의 길이보다 작은 것을 특징으로 하는 자기 램 셀.

【청구항 21】

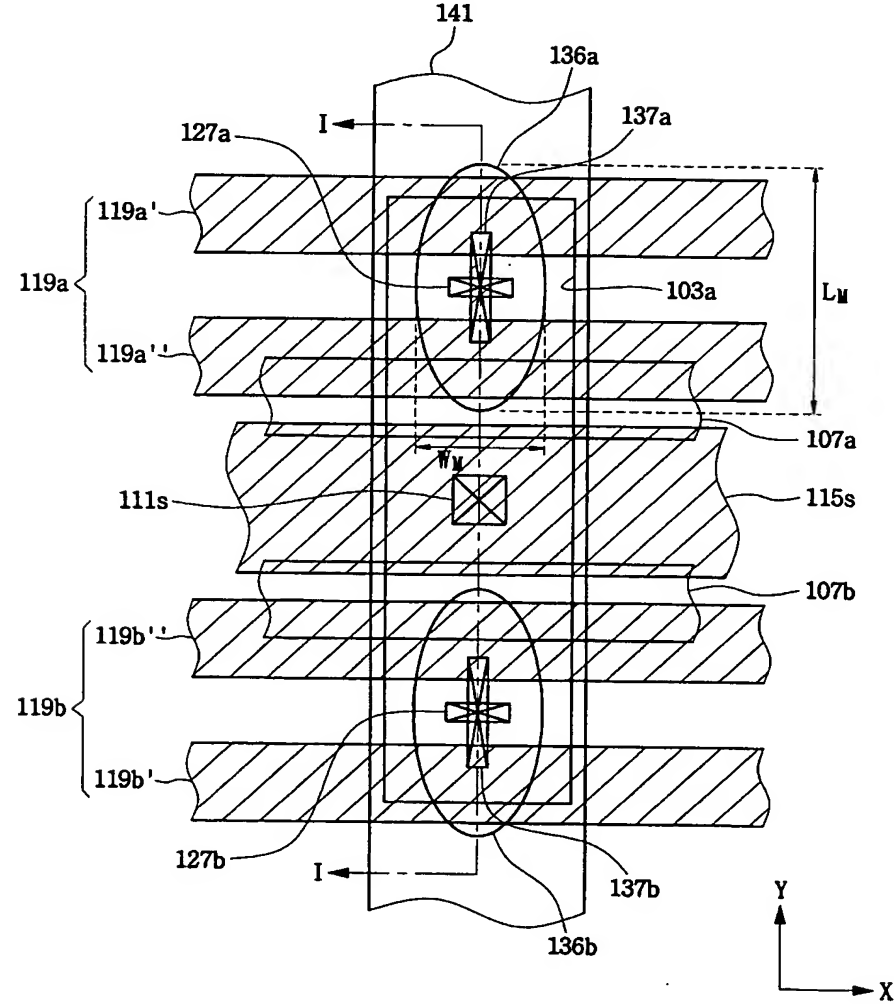
제 16 항에 있어서,

상기 자기 저항체는 차례로 적층된 피닝층, 고정층, 터널링층 및 자유층을 갖는 자기터널 접합을 포함하되, 상기 고정층 및 상기 자유층은 수평방향을 향하여 배열되는 자기 스핀들을 갖는 강자성체층인 것을 특징으로 하는 자기 램 셀.

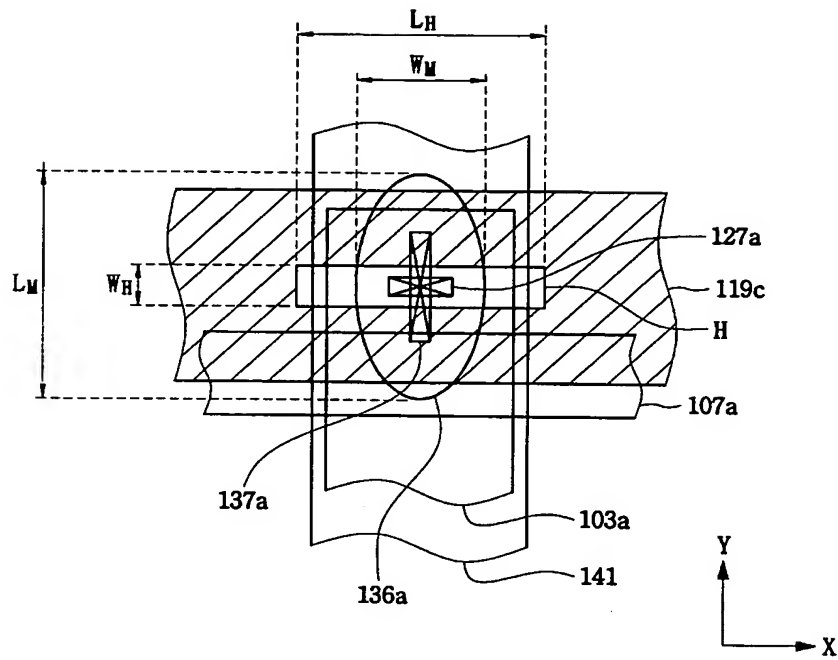
【도 3】



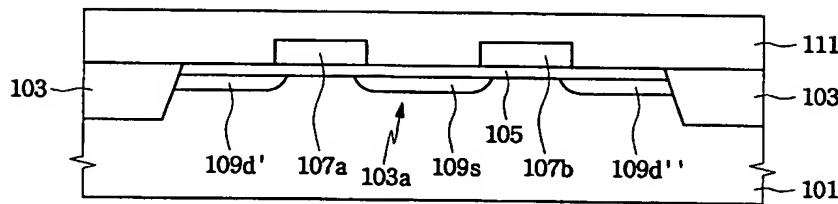
【도 4】



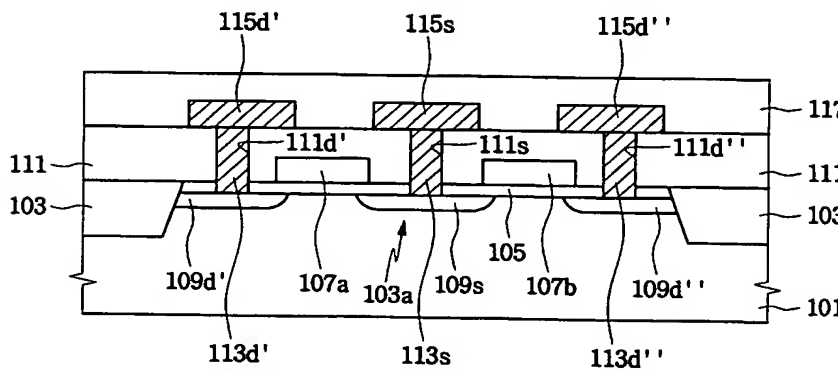
【도 5】



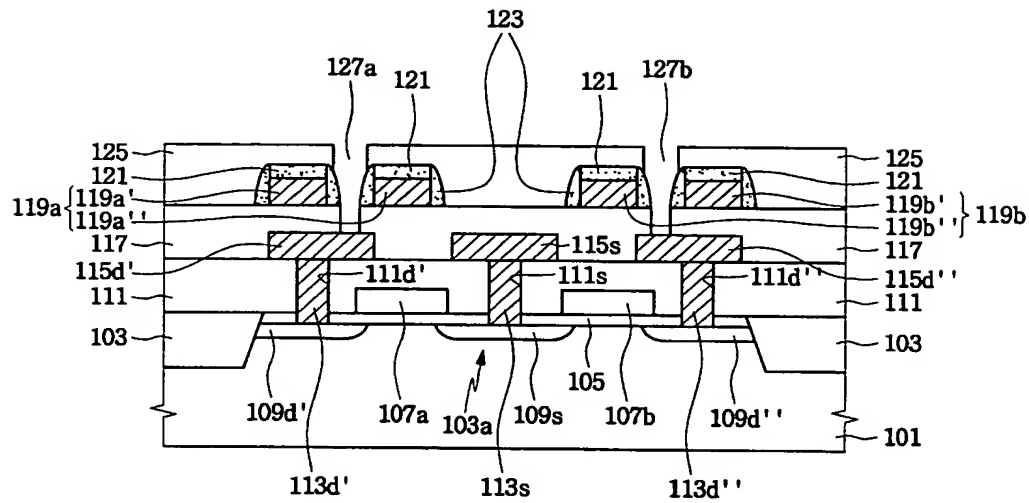
【도 6】



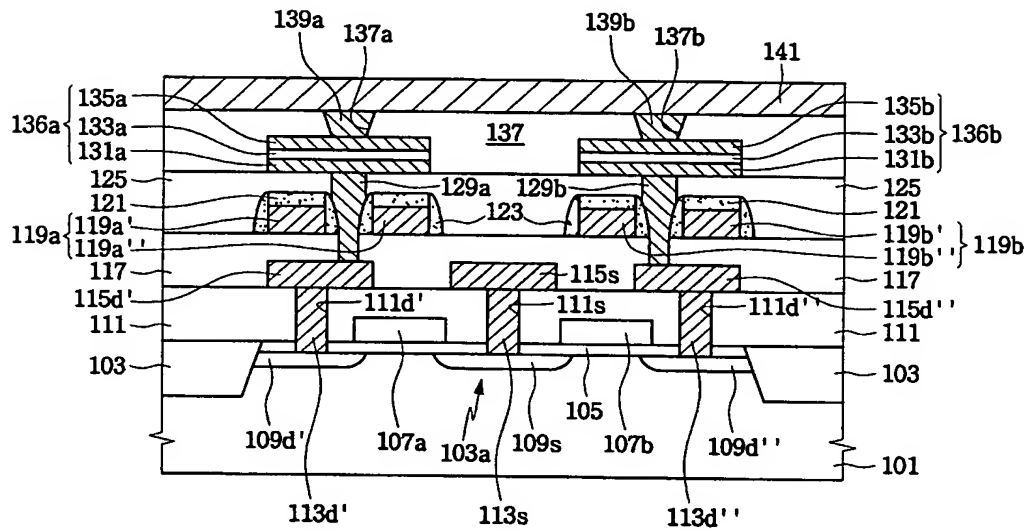
【도 7】



【도 8】



【도 9】



전류 (mA)	Center (본 발명) (Oe)	Center (종래기술) (Oe)	Edge (본 발명) (Oe)	Edge (종래기술) (Oe)
1	4	5	3	4
2	8	10	6	8
3	12	15	10	12
4	16	20	14	16
5	20	25	18	20
6	24	30	22	24
7	28	35	26	28
8	32	40	30	32
9	36	45	34	36
10	40	50	38	40
11	44	55	42	44
12	48	60	46	48
13	52	65	50	52
14	56	70	54	56
15	60	75	58	60
16	64	80	62	64
17	68	85	66	68
18	72	90	70	72
19	76	95	74	76
20	80	100	78	80